

PATENT  
2080-3-187  
Customer No: 035884

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:  
Seung Hyun Yi  
Serial No:  
Filed: Herewith  
For: CLOCK SIGNAL GENERATING CIRCUIT

Art Unit:  
Examiner:

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Korean patent application No. 10-2002-63679 which was filed on October 18, 2002, and from which priority is claimed under 35 U.S.C. Section 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: October 17, 2003

By:   
Jonathan Y. Kang  
Registration No. 38,199  
F. Jason Far-Hadian  
Registration No. 42,523  
Amit Sheth  
Registration No. 50,176  
Attorney for Applicant(s)

LEE, HONG, DEGERMAN, KANG & SCHMADEKA  
801 S. Figueroa Street, 14th Floor  
Los Angeles, California 90017  
Telephone: (213) 623-2221  
Facsimile: (213) 623-2211

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0063679

Application Number

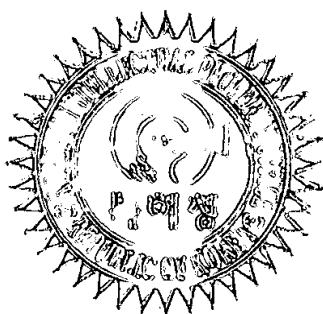
출원년월일 : 2002년 10월 18일

OCT 18, 2002

Date of Application

출원인 : 엘지전자 주식회사  
LG Electronics Inc.

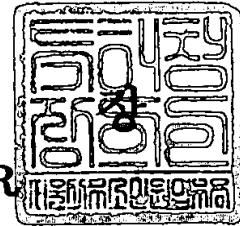
Applicant(s)



2003 년 08 월 05 일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.10.18
【국제특허분류】	H03L
【발명의 명칭】	클럭신호 생성회로
【발명의 영문명칭】	Circuit for generating clock signal
【출원인】	
【명칭】	엘지전자주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	정종욱
【대리인코드】	9-2001-000008-4
【포괄위임등록번호】	2002-027607-6
【대리인】	
【성명】	조담
【대리인코드】	9-1998-000546-2
【포괄위임등록번호】	2002-027605-1
【발명자】	
【성명의 국문표기】	이승현
【성명의 영문표기】	YI, SEUNG HYUN
【주민등록번호】	730101-1927234
【우편번호】	480-020
【주소】	경기도 의정부시 호원동 우성1차아파트 102동 1001호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 정종욱 (인) 대리인 조담 (인)



1020020063679

출력 일자: 2003/8/6

【수수료】

【기본출원료】	20	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	6	항	301,000 원
【합계】			330,000 원
【첨부서류】			1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

입력되는 소정 주파수의 클럭신호에 복수 배의 주파수를 가지는 출력 클럭신호를 디지털적으로 생성하는 것으로 회로의 구성이 간단하고, 입력 클럭신호에 정확히 동기됨과 아울러 정확히 50%의 듀티 팩터(duty factor)를 가지며, 각종 응용회로에 간단히 적용시킬 수 있다.

위상 비교기가 입력 클럭신호와 그 입력 클럭신호를 이용하여 생성한 복수 배 주파수의 출력 클럭신호의 위상차를 검출하여 시프트 제어신호를 선택적으로 발생하고, 상기 위상 비교기의 시프트 제어신호에 따라 클럭발생 위상신호 생성부가 하나의 클럭발생 기준신호를 좌우로 시프트시키고 그 클럭발생 기준신호를 시프트시킨 위치로부터 소정 시간 지연시킴과 아울러 그 소정 시간을 각기 상이한 설정 배수만큼 지연시켜 복수의 클럭발생 위상신호를 생성하며, 클럭발생 위상신호 생성부가 생성한 복수의 클럭발생 위상신호에 따라 클럭신호 생성부가 상기 입력 클럭신호에 복수 배의 주파수를 가지는 출력 클럭신호를 생성한다.

**【대표도】**

도 1

**【색인어】**

클럭신호, 2배 주파수, 지연루프, 동기, 듀티팩터

**【명세서】****【발명의 명칭】**

클럭신호 생성회로{Circuit for generating clock signal}

**【도면의 간단한 설명】**

도 1은 본 발명의 클럭신호 생성회로의 구성을 보인 블록도이고,

도 2는 2배 주파수의 클럭신호를 생성할 경우에 도 1의 클럭발생 위상신호 생성부의 바람직한 실시 예의 상세 구성을 보인 도면이며,

도 3은 2배 주파수의 클럭신호를 생성할 경우에 도 1의 클럭신호 생성부의 바람직한 실시 예의 상세 구성을 보인 도면이며,

도 4는 도 3의 제 1 내지 제 4 펄스 발생기의 구성을 보인 도면이다.

\* 도면의 주요 부분에 대한 부호의 설명 \*

100 : 위상 비교기

200 : 클럭발생 위상신호 생성부

210 : 시프트 레지스터

220 : 동기 출력부

230, 240, 250, 260 : 제 1 내지 제 4 지연루프

231, 241, 251, 261 : 제 1 내지 제 4 지연기

300 : 클럭신호 생성부

310 : 3배 보상 지연기

320 : 1배 보상 지연기

330 : 2배 보상 지연기

340, 350, 360, 370 : 제 1 내지 제 4 펄스신호 발생기

380 : 클럭신호 출력부

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<14> 본 발명은 입력되는 소정 주파수의 클럭신호에 동기로 복수 배의 주파수를 가지는 클럭 신호를 생성하는 클럭신호 생성회로에 관한 것으로 특히 듀티 팩터(duty factor)가 정확히 50% 인 복수 배 주파수의 클럭신호를 생성하는 클럭신호 생성회로에 관한 것이다.

<15> 소정 주파수의 클럭신호에 복수 배의 주파수를 가지는 클럭신호를 생성할 경우에 통상적으로 PLL(Phase Locked Loop) 회로를 많이 사용하고 있다. 상기 PLL 회로는 VCO(Voltage Controlled Oscillator)와 충전 펌프(charge pump) 회로를 이용하여 입력 클럭신호를  $90^\circ$ ,  $180^\circ$ ,  $270^\circ$  및  $360^\circ$  등으로 시프트시킨 후  $90^\circ$  및  $270^\circ$  시프트시킨 클럭신호로 출력할 클럭신호의 하강 에지(falling edge)를 생성하고,  $180^\circ$  및  $270^\circ$  시프트시킨 클럭신호로 출력할 클럭신호의 상승 에지(rising edge)를 생성하여 입력 클럭신호에 2배 주파수를 가지는 출력 클럭신호를 생성하는 것이다. 즉, 입력 클럭신호의 주파수가  $100\text{MHz}$ 일 경우에 상기 PLL 회로는  $200\text{MHz}$ 의 주파수를 가지는 클럭신호를 생성한다.

<16> 그리고 VLSI(Very Large Scale Integration) 등을 비롯하여 소정의 동작을 수행하는 응용회로에 소정 주파수의 클럭신호를 입력시켜 동작시킬 경우에 그 클럭신호의 듀티 팩터가 정확하게 50%를 유지하지 못하게 되면, 응용회로가 정상동작을 수행하지 못하고, 오류를 발생하게 된다.

<17> 즉, 상기 듀티 팩터는 클럭신호의 고전위 시간을 클럭신호의 주기로 나눈 값으로서 클럭 신호의 상승 에지 및 하강 에지에서 모두 동작하는 응용회로는 그 상승 에지 및 하강 에지에

따라 동작하면서 발생되는 소정 신호가 정확한 위치에서 발생되지 않고, 이로 인하여 응용회로의 오류를 유발하게 되므로 클럭신호는 듀티 팩터가 정확히 50%를 갖도록 해야 된다.

<18> 그러나 상기한 종래의 기술은 PLL 회로가 아날로그 회로를 기반으로 하여 구성되어 있는 것으로서 PLL 회로의 구성이 매우 복잡하고, PLL 회로를 구성하는 저항 및 콘덴서 등의 부품 등의 값을 정밀하게 설정해야 되어 제조가 어려움은 물론 클럭신호의 듀티 팩터가 정확하게 50%로 되도록 발생시키기 어려우며, 또한 입력 클럭신호의 주파수에 따라 PLL 회로를 상이하게 설계해야 되는 등의 여러 가지 문제점이 있었다.

#### 【발명이 이루고자 하는 기술적 과제】

<19> 그러므로 본 발명의 목적은 입력되는 소정 주파수의 클럭신호에 복수 배의 주파수를 가지는 출력 클럭신호를 디지털 적으로 생성하는 클럭신호 생성회로를 제공하는데 있다.

<20> 본 발명의 다른 목적은 회로의 구성이 간단하고, 입력 클럭신호에 정확히 동기됨과 아울러 정확히 50%의 듀티 팩터를 가지는 출력 클럭신호를 생성할 수 있는 클럭신호 생성회로를 제공하는데 있다.

<21> 본 발명의 또 다른 목적은 각종 응용회로에 간단히 적용시켜 입력 클럭신호의 복수 배 주파수를 가지는 출력 클럭신호를 생성하는 클럭신호 생성회로를 제공하는데 있다.

<22> 이러한 목적을 가지는 본 발명의 클럭신호 생성회로는, 위상 비교기가 입력 클럭신호와 그 입력 클럭신호를 이용하여 생성한 복수 배 주파수의 출력 클럭신호의 위상차를 검출하여 시프트 제어신호를 선택적으로 발생하고, 상기 위상 비교기의 시프트 제어신호에 따라 클럭발생 위상신호 생성부가 하나의 클럭발생 기준신호를 좌우로 시프트시키고 그 클럭발생 기준신호를 시프트시킨 위치로부터 소정 시간 지연시킴과 아울러 그 소정 시간을 각기 상이한 설정 배수만

콤 지연시켜 복수의 클럭발생 위상신호를 생성하며, 클럭발생 위상신호 생성부가 생성한 복수의 클럭발생 위상신호에 따라 클럭신호 생성부가 상기 입력 클럭신호에 복수 배의 주파수를 가지는 출력 클럭신호를 생성하게 구성되는 것을 특징으로 한다.

<23> 상기 클럭발생 위상신호 생성부는, 시프트 레지스터가 하나의 클럭발생 기준신호로 미리 저장하여 두고 상기 시프트 제어신호에 따라 그 클럭발생 기준신호를 좌우로 시프트시키며, 상기 시프트 레지스터가 출력하는 클럭발생 기준신호를 동기 출력부가 입력 클럭신호에 동기로 통과시키며, 상기 동기 출력부가 출력하는 클럭발생 기준신호를, 그 클럭발생 기준신호가 시프트된 위치에 따라 설정되는 소정시간을 서로 상이한 배수씩 복수의 지연루프가 각기 지연시켜 복수의 클럭발생 위상신호를 발생하며, 상기 복수의 지연루프들 각각은, 상기 동기 출력부의 복수의 출력단자의 사이에 설정된 단위 시간의 1배, 2배, 3배, …의 시간씩 지연시키는 복수의 지연기들을 각기 구비하는 것을 특징으로 한다.

<24> 상기 클럭신호 생성부는, 상기 클럭발생 위상신호 생성부에서 가장 짧은 시간을 지연시킨 하나의 클럭발생 위상신호에 따라 출력 클럭신호의 위상을 설정할 때까지 소요되는 시간을 기준으로 각기 상이하게 설정된 배수씩 복수의 보상 지연기가 지연시키고, 상기 클럭발생 위상신호 생성부에서 가장 짧은 시간을 지연시킨 하나의 클럭발생 위상신호와 상기 복수의 보상 지연기에서 각기 지연된 복수의 클럭발생 위상신호에 따라 복수의 펄스신호 발생기가 각기 펄스신호를 발생하며, 그 상기 복수의 펄스신호 발생기가 발생한 복수의 펄스신호에 따라 클럭신호 출력부가 출력 클럭신호를 발생하는 것을 특징으로 한다.

<25> 상기 복수의 클럭신호 발생기들 각각은, 입력신호를 복수의 지연용 인버터가 반전 및 소정시간 지연시키고, 상기 입력신호 및 상기 복수의 지연용 인버터의 출력신호를 낸드 게이트가

반전 논리곱하며, 상기 낸드 게이트의 출력신호를 인버터가 반전시켜 출력하는 것을 특징으로 한다.

### 【발명의 구성 및 작용】

<26> 이하, 첨부된 도면을 참조하여 본 발명의 클럭신호 생성회로를 상세히 설명한다.

<27> 도 1은 본 발명의 클럭신호 생성회로의 구성을 보인 블록도이다. 이에 도시된 바와 같이 입력 클럭신호(ICLK)와 그 입력 클럭신호(ICLK)를 이용하여 생성한 복수 배 주파수의 출력 클럭신호(OCLK)의 위상차를 검출하여 시프트 제어신호(SHL, SHR)를 선택적으로 발생하는 위상 비교기(100)와, 상기 위상 비교기(100)의 시프트 제어신호(SHL, SHR)에 따라 하나의 클럭발생 기준신호를 좌우로 시프트시키고 그 클럭발생 기준신호를 시프트시킨 위치로부터 소정 시간 지연 시킴과 아울러 그 소정 시간의 설정 배수만큼 각기 지연시켜 복수의 클럭발생 위상신호를 생성하는 클럭발생 위상신호 생성부(200)와, 클럭발생 위상신호 생성부(200)가 발생한 복수의 클럭발생 위상신호에 따라 고전위 및 저전위가 반전되면서, 상기 입력 클럭신호(ICLK)에 복수 배의 주파수를 가지는 출력 클럭신호(OCLK)를 생성하는 클럭신호 생성부(300)로 구성된다.

<28> 상기 클럭발생 위상신호 생성부(200)는, 도 2에 도시된 바와 같이 하나의 클럭발생 기준신호로 미리 저장하여 두고 상기 시프트 제어신호(SHL, SHR)에 따라 그 클럭발생 기준신호를 좌우로 시프트시키는 시프트 레지스터(210)와, 상기 시프트 레지스터(210)가 출력하는 클럭발생 기준신호를 입력 클럭신호(ICLK)에 동기로 복수의 낸드 게이트(NAND1~NANDn)가 반전 및 통과시키는 동기 출력부(220)와, 상기 동기 출력부(220)가 출력하는 클럭발생 기준신호를, 그 클럭발생 기준신호가 시프트된 위치에 따라 설정되는 소정시간의 1배 내지 4배씩 각기 지연시켜 클럭발생 위상신호(OUT90, OUT180, OUT270, OUT360)를 발생하는 제 1 내지 제 4 지연루프(230, 240, 250, 260)를 구비한다.

<29> 상기 제 1 내지 제 4 지연루프(230, 240, 250, 260)는, 상기 동기 출력부(220)의 복수의 출력단자의 사이에 단위시간의 1배, 2배, 3배 및 4배의 시간을 지연시키는 복수의 제 1 내지 제 4 지연기(231)(241)(251)(261)를 각기 구비한다.

<30> 상기 클럭신호 생성부(300)는, 도 3에 도시된 바와 같이 상기 클럭발생 위상신호(OUT360)(OUT180)(OUT270)를, 그 클럭신호 생성부(300)가 상기 클럭발생 위상신호(OUT90, OUT180, OUT270, OUT360)에 따라  $90^\circ$ ,  $180^\circ$ ,  $270^\circ$  및  $360^\circ$ 의 클럭신호를 발생할 때까지 소요되는 시간의 3배, 1배 및 2배를 각기 지연시키는 3배, 1배 및 2배 보상 지연기(310)(320)(330)와, 상기 3배, 1배 및 2배 보상 지연기(310)(320)(330)와 상기 클럭발생 위상신호(OUT90)에 따라 각기 펄스신호를 발생하는 제 1 내지 제 4 펄스신호 발생기(340)(350)(360)(370)와, 상기 제 1 및 제 2 펄스신호 발생기(340)(350)가 발생한 펄스신호에 따라  $360^\circ$  및  $180^\circ$ 의 위상을 가지고 상기 제 3 및 제 4 펄스신호 발생기(360)(370)가 발생한 펄스신호에 따라  $270^\circ$  및  $90^\circ$ 의 위상을 가지는 출력 클럭신호(OCLK)를 출력하는 클럭신호 출력부(380)로 구성된다.

<31> 상기 클럭신호 출력부(380)는, 전원단자(Vdd)와 접지의 사이에 피모스 트랜지스터(PM) 및 엔모스 트랜지스터(NM)가 직렬 접속되어 피모스 트랜지스터(PM)의 게이트에는 상기 제 1 및 제 2 펄스신호 발생기(340)(350)의 출력단자가 노아 게이트(NOR1)를 통해 접속되고, 엔모스 트랜지스터(NM)의 게이트에는 상기 제 3 및 제 4 펄스신호 발생기(360)(370)의 출력단자가 노아 게이트(NOR2) 및 인버터(INV1)를 순차적으로 통해 접속된다. 그리고 상기 피모스 트랜지스터(PM) 및 엔모스 트랜지스터(NM)의 접속점은 래치로 동작하는 인버터(INV2, INV3)를 통해 인버터(INV4)에 접속되어 인버터(INV4)의 출력단자에서 출력 클럭신호(OCLK)가 출력되게 구성된다.

<32> 상기 제 1 내지 제 4 펠스신호 발생기(340)(350)(360)(370)는, 도 4에 도시된 바와 같이 입력단자가 낸드 게이트(NAND10)의 일측 입력단자에 접속됨과 아울러 복수의 자연용 인버터(INV11, INV12, INV13)를 순차적으로 통해 낸드 게이트(NAND10)의 타측 입력단자에 접속되고, 낸드 게이트(NAND10)의 출력단자는 인버터(INV14)의 입력단자에 접속되어 인버터(INV14)의 출력단자에서 펠스신호가 출력되게 구성된다.

<33> 이와 같이 구성된 본 발명의 클럭신호 생성회로는 위상 비교기(100)가 소정 주파수를 가지는 입력 클럭신호(ICLK)와 본 발명에 의하여 생성된 출력 클럭신호(OCLK)를 입력받아 위상차를 검출하고, 검출한 위상차에 따라 시프트 제어신호(SHL, SHR)를 선택적으로 출력하여 클럭발생 위상신호 생성부(200)로 입력된다. 예를 들면, 입력 클럭신호(ICLK)보다 보상 클럭신호(OCLK)의 위상이 빠를 경우에 좌측 시프트를 명령하는 시프트 제어신호(SHL)를 출력하고, 입력 클럭신호(ICLK)보다 보상 클럭신호(OCLK)의 위상이 느릴 경우에 우측 시프트를 명령하는 시프트 제어신호(SHR)를 출력하여 클럭발생 위상신호 생성부(200)로 입력된다.

<34> 상기 클럭발생 위상신호 생성부(200)는 미리 시프트 레지스터(210)의 하나의 출력단자에 고전위의 클럭발생 기준신호를 저장하여 두고, 다른 출력단자에는 모두 저전위를 저장하여 두는 것으로서 상기 위상 비교기(100)가 선택적으로 출력하는 시프트 제어신호(SHL, SHR)에 따라 상기 클럭발생 기준신호를 좌측 또는 우측으로 시프트시켜 출력단자로 출력하게 된다.

<35> 이와 같은 상태에서 입력 클럭신호(ICLK)가 입력되면, 그 입력 클럭신호(ICLK)에 따라 동기 출력부(220)의 낸드 게이트(NAND1~NANDn)들 중에서 하나가 상기 고전위의 클럭발생 기준신호를 저전위로 반전시켜 출력하게 되고, 그 동기 출력부(220)가 출력한 클럭발생 기준신호는 제 1 내지 제 4 자연루프(230, 240, 250, 260)의 복수의 제 1 내지 제 4 자연기(231, 241,

251, 261)에서, 그 클럭발생 기준신호가 시프트된 위치에 따라 설정되는 소정시간의 1배 내지 4배씩 각기 지연되어 클럭발생 위상신호(OUT90, OUT180, OUT270, OUT360)로 출력된다.

<36> 예를 들면, 시프트 레지스터(210)의 출력단자(Q1)에서 클럭발생 기준신호가 출력된다고 가정할 경우에 그 클럭발생 기준신호는 낸드 게이트(NAND1)를 통해 반전 출력된 후 하나의 제 1 내지 제 4 지연기(231)(241)(251)(261)를 각기 통해 지연되어 클럭발생 위상신호 (OUT90)(OUT180)(OUT270)(OUT360)로 출력되고, 시프트 레지스터(210)의 출력단자(Q2)에서 클럭 발생 기준신호가 출력된다고 가정할 경우에는 그 클럭발생 기준신호는 낸드 게이트(NAND2)를 통해 반전 출력된 후 두 개의 제 1 내지 제 4 지연기(231)(241)(251)(261)를 각기 통해 순차적으로 지연되어 클럭발생 위상신호(OUT90)(OUT180)(OUT270)(OUT360)로 출력되며, 시프트 레지스터(210)의 출력단자(Qn)에서 클럭발생 기준신호가 출력된다고 가정할 경우에는 그 클럭발생 기준신호는 낸드 게이트(NANDn)를 통해 반전 출력된 후 n 개의 제 1 내지 제 4 지연기 (231)(241)(251)(261)를 각기 통해 순차적으로 지연되어 클럭발생 위상신호 (OUT90)(OUT180)(OUT270)(OUT360)로 출력되는 것으로서 제어신호 발생부(200)는 시프트 레지스터(210)가 클럭발생 기준신호를 시프트시킨 위치에 따라 제 1 내지 제 4 지연루프(230, 240, 250, 260)의 복수의 제 1 내지 제 4 지연기(231, 241, 251, 261)를 통해 소정시간의 1배 내지 4배씩 각기 지연시켜 클럭발생 위상신호(OUT90)(OUT180)(OUT270)(OUT360)로 출력하게 된다.

<37> 상기 클럭발생 위상신호 생성부(200)가 생성한 클럭발생

위상신호(OUT360)(OUT180)(OUT270)는 클럭신호 생성부(300)의 3배, 1배 및 2배 보상 지연기(310)(320)(330)에 입력되어, 후술하는 바와 같이 클럭발생 위상신호 생성부(200)의 제 1 내지 제 4 펄스신호 발생부(340, 350, 360, 370)가 클럭발생 위상신호(OUT360, OUT180, OUT270, OUT90)에 따라 각기 펄스신호를 발생하고 그 발생한 펄스신호에 따라 클럭신호 출력부(380)가 출력 클럭신호(OCLK)를 발생할 때까지 소요되는 시간의 3배, 1배 및 2배씩 각기 지연된다.

<38> 상기 3배, 1배 및 2배 보상 지연기(310)(320)(330)에서 각기 3배, 1배 및 2배씩 지연된 클럭발생 위상신호(OUT360)(OUT180)(OUT270)와 상기 클럭발생 위상신호(OUT90)는 제 1 내지 제 4 펄스신호 발생기(340)(350)(360)(370)에 입력되어 낸드 게이트(NAND10)의 일측 입력단자에 인가됨과 아울러 복수의 지연용 인버터(INV11~INV13)를 순차적으로 통해 지연 및 반전되어 낸드 게이트(NAND10)의 타측 입력단자에 인가되므로 낸드 게이트(NAND10)는 클럭발생 위상신호(OUT360)(OUT180)(OUT270)(OUT90)에 따라 소정 폭의 저전위 펄스신호를 발생하고, 그 발생한 저전위 펄스신호는 인버터(INV14)를 통해 고전위로 반전되어 출력된다.

<39> 이와 같이 클럭발생 위상신호(OUT360)(OUT180)에 따라 제 1 및 제 2 펄스신호 발생기(340)(350)가 발생한 펄스신호는 펄스신호 출력부(380)의 노아게이트(NOR1)를 통해 반전 논리 합된 후 피모스 트랜지스터(PM)의 게이트에 인가되어 그 피모스 트랜지스터(PM)를 도통시키고, 클럭발생 위상신호(OUT270)(OUT90)에 따라 제 3 및 제 4 펄스신호 발생기(360)(370)가 발생한 펄스신호는 펄스신호 출력부(380)의 노아게이트(NOR2)를 통해 반전 논리 합되고 인버터(INV1)를 통해 반전된 후 엔모스 트랜지스터(NM)의 게이트에 인가되어 그 엔모스 트랜지스터(NM)를 도통시키므로 피모스 트랜지스터(PM) 및 엔모스 트랜지스터(NM)의 접속점 전위는 제 1 및 제 2 펄스신호 발생기(340)(350)가 발생한 펄스신호에 따라 고전위로 되고, 제 3 및 제 4 펄스신호 발생기(360)(370)가 발생한 펄스신호에 따라 저전위로 되며, 그 피모스 트랜지스터(PM) 및 엔

모스 트랜지스터(NM)의 접속점 전위는 인버터(INV2, INV3)로 이루어진 래치에 반전 저장된 후 인버터(INV4)를 통해 반전되어 출력 클럭신호(OCLK)를 출력하게 된다.

<40> 여기서, 상기 클럭신호 출력부(340)가 출력하는 출력 클럭신호(OCLK)는 위상 비교기(100)에 입력시켜 입력 클럭신호(ICLK)와 위상을 비교하고, 위상 비교 결과에 따라 제어신호 발생부(200)의 시프트 레지스터(210)에 저장된 클럭발생 기준신호를 시프트시키면서 클럭발생 제어신호(OUT360)를 발생시키며, 그 발생시킨 클럭발생 제어신호(OUT360)에 따라 클럭신호 출력부(340)가 출력 클럭신호(OCLK)의  $360^\circ$ 위상을 설정하므로 출력 클럭신호(OCLK)의  $360^\circ$  위상은 입력 클럭신호(ICLK)의  $360^\circ$ 위상과 정확하게 일치하게 된다.

<41> 그리고 상기  $360^\circ$ 의 클럭발생 제어신호(OUT360)는 클럭발생 위상신호 생성부(200)의 동기 출력부(220)에서 출력되는 클럭발생 기준신호를, 그 클럭발생 기준신호가 시프트된 위치에 따라 설정되는 소정 시간의 4배 시간을 제 4 지연루프(260)가 지연시켜 생성한 것이며, 상기  $90^\circ$ ,  $180^\circ$  및  $270^\circ$ 의 클럭발생 제어신호(OUT90)(OUT180)(OUT270)는 클럭발생 기준신호를, 그 클럭발생 기준신호가

시프트된 위치에 따라 설정되는 소정 시간의 1배, 2배 및 3배 시간을 제 1 내지 제 3 지연루프 (230)(240)(250)가 각기 지연시켜 생성한 것이다. 또한 상기  $360^\circ$ 의 클럭발생 제어신호 (OUT360)는 클럭신호 생성부(300)의 3배 보상 지연기(310)에 입력되어 제 1 펄스신호 발생기 (340) 및 클럭신호 출력부(380)를 통과할 때 소요되는 시간의 3배 시간만큼 지연된 후 제 1 펄스신호 발생기(340) 및 클럭신호 출력부(380)를 통하여 전체적으로 4배 지연되면서 출력 클럭신호(OCLK)의  $360^\circ$ 를 생성하는 것이고,  $180^\circ$ 의 클럭발생 제어신호(OUT180)는 1배 보상 지연기(320)에 입력되어 1배 시간만큼 지연된 후 제 2 펄스신호 발생기(350) 및 클럭신호 출력부 (380)를 통하여 전체적으로 2배 지연되면서 출력 클럭신호(OCLK)의  $180^\circ$ 를 생성하는 것이며,  $270^\circ$ 의 클럭발생 제어신호(OUT270)는 2배 보상 지연기(330)에 입력되어 2배 시간만큼 지연된 후 제 3 펄스신호 발생기(360) 및 클럭신호 출력부(380)를 통하여 전체적으로 3배 지연되면서 출력 클럭신호(OCLK)의  $370^\circ$ 를 생성하는 것이며,  $90^\circ$ 의 클럭발생 제어신호(OUT90)는 제 3 펄스신호 발생기(360) 및 클럭신호 출력부(380)를 통하여 전체적으로 1배 지연되면서 출력 클럭신호(OCLK)의  $90^\circ$ 를 생성하는 것이다.

<42> 그러므로 상기 출력 클럭신호(OCLK)의  $90^\circ$ ,  $180^\circ$  및  $270^\circ$ 는 출력 클럭신호(OCLK)의  $360^\circ$ 를 기준으로 하여 각기  $1/4$ ,  $1/2$  및  $3/4$ 씩 지연시켜 생성하는 것이므로 상기 출력 클럭신호 (OCLK)는 입력 클럭신호(ICLK)의 위상과 정확하게 일치되고 주파수는 2배이며, 듀티 팩터가 정확히 50%를 가지게 된다.

<43> 한편, 상기에서는 본 발명을 특정의 바람직한 실시 예에 관련하여 도시하고

설명하였지만, 이하의 특허청구범위에 의해 마련되는 본 발명의 정신이나 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변화될 수 있다는 것을 당 업계에서 통상의 지식을 가진 자는 용이하게 알 수 있다. 즉, 상기에서는 입력 클럭신호(ICLK)의 2배 주파수를 가지는 출력 클럭신호(OCLK)를 생성하는 것을 예로 들어 설명한 것으로서 본 발명을 실시함에 있어서는 클럭발생 위상신호 생성부(200)가 소정 시간을 소정 배수씩 지연시켜 6개 또는 8개 등의 클럭발생 위상신호를 생성하도록 하고, 그 6개 또는 8개 등의 클럭발생 위상신호에 따라 클럭신호 생성부가 출력 클럭신호를 생성하도록 함에 따라 입력 클럭신호(ICLK)의 3배 주파수 또는 4배 주파수 등의 클럭신호를 생성할 수 있는 등 여러 가지로 변형 실시할 수 있다.

### 【발명의 효과】

<44> 이상에서 설명한 바와 같이 본 발명은 복수의 지연루프를 이용하여 입력 클럭신호의 주파수에 복수 배의 주파수를 가지고, 위상이 정확히 일치하며, 듀티 팩터가 50%인 출력 클럭신호를 생성하는 것으로서 디지털 적으로 회로의 구성이 간단하고, 제조가 용이함은 물론 여러 종류의 응용회로에 간단히 적용시켜 사용할 수 있다.

**【특허청구범위】****【청구항 1】**

소정 주파수의 입력 클럭신호와 그 입력 클럭신호를 이용하여 생성한 복수 배 주파수의 출력 클럭신호의 위상차를 검출하여 시프트 제어신호를 선택적으로 발생하는 위상 비교기;  
상기 위상 비교기의 시프트 제어신호에 따라 하나의 클럭발생 기준신호를 좌우로 시프트시키고 그 클럭발생 기준신호를 시프트시킨 위치로부터 소정 시간 지연시킴과 아울러 그 소정 시간을 각기 상이한 설정 배수만큼 지연시켜 복수의 클럭발생 위상신호를 생성하는 클럭발생 위상신호 생성부; 및

클럭발생 위상신호 생성부가 발생한 복수의 클럭발생 위상신호에 따라 상기 입력 클럭신호에 복수 배의 주파수를 가지는 출력 클럭신호를 생성하는 클럭신호 생성부로 구성된 클럭신호 생성회로.

**【청구항 2】**

제 1 항에 있어서, 상기 위상비교기는;

상기 클럭발생 기준신호의 좌측 시프트 또는 우측 시프트를 제어하는 시프트 제어신호를 선택적으로 발생하는 것을 특징으로 하는 클럭신호 생성회로.

**【청구항 3】**

제 1 항에 있어서, 상기 클럭발생 위상신호 생성부는;

하나의 클럭발생 기준신호로 미리 저장하여 두고 상기 시프트 제어신호에 따라 그 클럭발생 기준신호를 좌우로 시프트시키는 시프트 레지스터;

상기 시프트 레지스터가 출력하는 클럭발생 기준신호를 입력 클럭신호에 동기로 통과시키는 동기 출력부;

상기 동기 출력부가 출력하는 클럭발생 기준신호를, 그 클럭발생 기준신호가 시프트된 위치에 따라 설정되는 소정시간을 서로 상이한 배수씩 각기 지연시켜 복수의 클럭발생 위상신호를 발생하는 복수의 지연루프로 구성됨을 특징으로 하는 클럭신호 생성회로.

#### 【청구항 4】

제 3 항에 있어서, 상기 복수의 지연루프들 각각은;

상기 동기 출력부의 복수의 출력단자의 사이에, 미리 설정된 단위 시간의 1배, 2배, 3배, …의 시간을 지연시키는 복수의 지연기들을 각기 구비하는 것을 특징으로 하는 클럭신호 생성회로.

#### 【청구항 5】

제 1 항에 있어서, 상기 클럭신호 생성부는;

상기 클럭발생 위상신호 생성부에서 가장 짧은 시간을 지연시킨 하나의 클럭발생 위상신호에 따라 출력 클럭신호의 위상을 설정할 때까지 소요되는 시간을 기준으로 각기 상이하게 설정된 배수씩 지연시키는 복수의 보상 지연기;

상기 클럭발생 위상신호 생성부에서 가장 짧은 시간을 지연시킨 하나의 클럭발생 위상신호와 상기 복수의 보상 지연기에서 각기 지연된 복수의 클럭발생 위상신호에 따라 각기 펄스신호를 발생하는 복수의 펄스신호 발생기; 및

상기 복수의 펄스신호 발생기가 발생한 복수의 펄스신호에 따라 출력 클럭신호를 발생하는 클럭신호 출력부로 구성됨을 특징으로 하는 클럭신호 생성회로.



1020020063679

출력 일자: 2003/8/6

### 【청구항 6】

제 5 항에 있어서, 상기 복수의 클럭신호 발생기들 각각은;

입력신호를 반전 및 소정시간 지연시키는 복수의 지연용 인버터;

상기 입력신호 및 상기 복수의 지연용 인버터의 출력신호를 반전 논리곱하는 낸드 게이트; 및

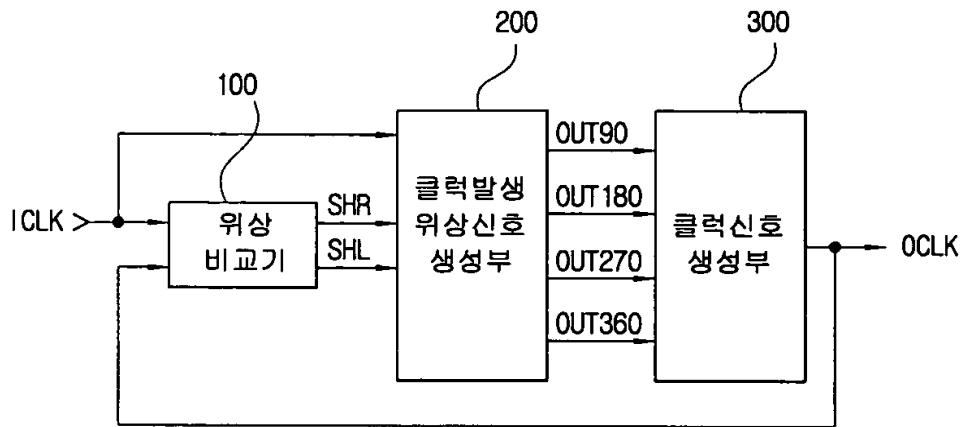
상기 낸드 게이트의 출력신호를 반전시키는 인버터로 구성됨을 특징으로 하는 이중지연 루프를 이용한 클럭신호 생성회로.

1020020063679

출력 일자: 2003/8/6

【도면】

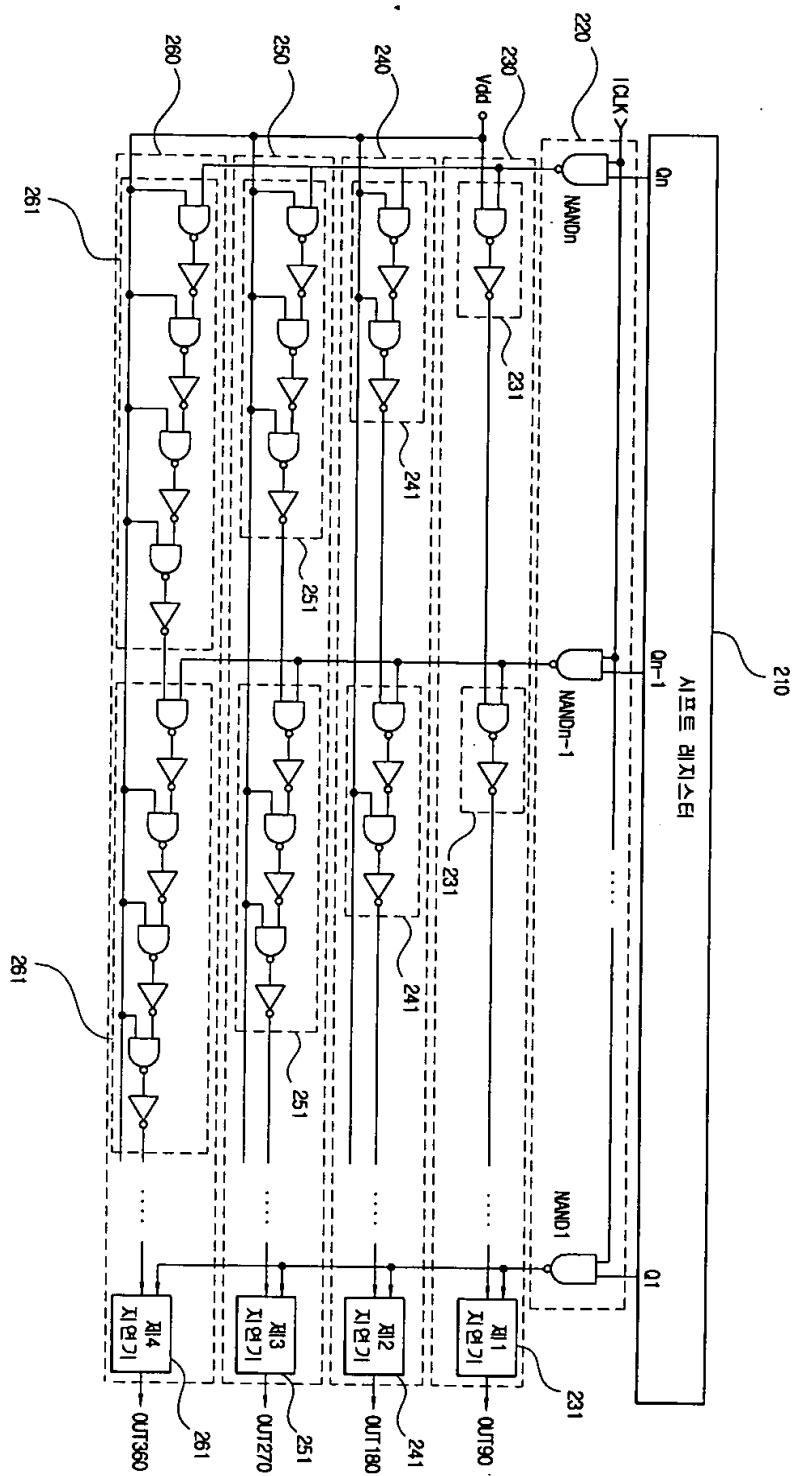
【도 1】



1020020063679

출력 일자: 2003/8/6

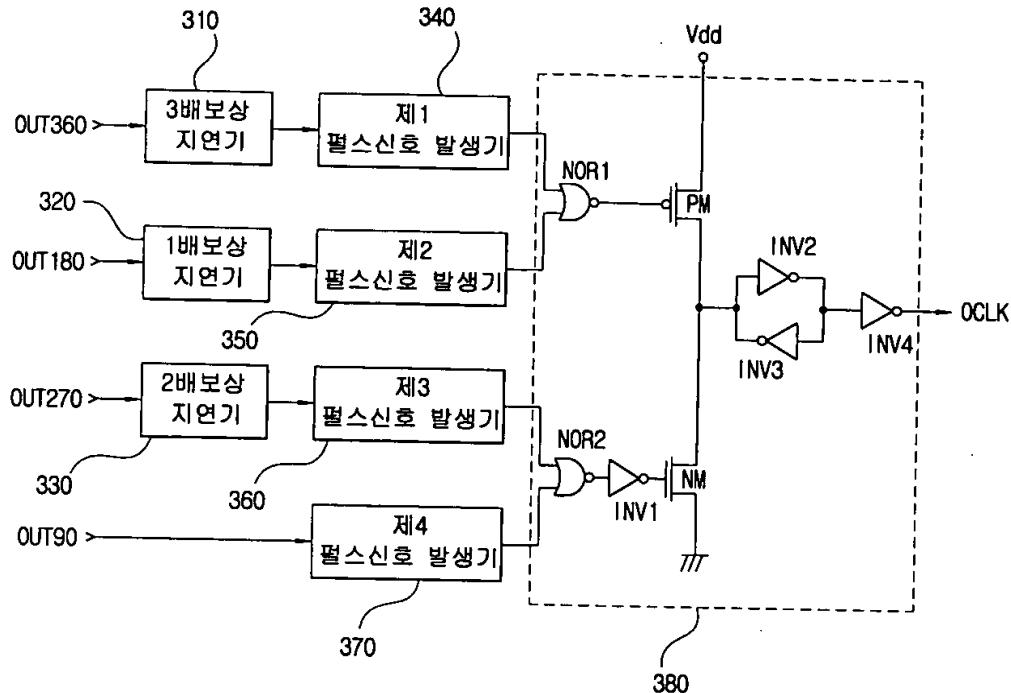
【도 2】



1020020063679

출력 일자: 2003/8/6

### 【도 3】



#### 【도 4】

